

PCT

WELTORGANISATION FÜR GEISTIGES EIGENTUM
Internationales BüroINTERNATIONALE ANMELDUNG VERÖFFENTLICHT NACH DEM VERTRAG ÜBER DIE
INTERNATIONALE ZUSAMMENARBEIT AUF DEM GEBIET DES PATENTWESENS (PCT)

(51) Internationale Patentklassifikation 7 :

H01L

A2

(11) Internationale Veröffentlichungsnummer: WO 00/70654

(43) Internationales

Veröffentlichungsdatum:

23. November 2000 (23.11.00)

(21) Internationales Aktenzeichen: PCT/DE00/01155

(22) Internationales Anmeldedatum: 13. April 2000 (13.04.00)

(30) Prioritätsdaten:

199 22 187.1

12. Mai 1999 (12.05.99)

DE

(71) Anmelder (für alle Bestimmungsstaaten ausser US): INFINEON TECHNOLOGIES AG [DE/DE]; St.-Martin-Strasse 53, D-81541 München (DE).

(72) Erfinder; und

(75) Erfinder/Anmelder (nur für US): TIHANYI, Jenoe [DE/DE]; Isarweg 13, D-85551 Kirchheim (DE). WERNER, Wolfgang [DE/DE]; Säbenerstrasse 256, D-81545 München (DE).

(74) Gemeinsamer Vertreter: INFINEON TECHNOLOGIES AG; Zedlitz, Peter, Postfach 22 13 17, D-80503 München (DE).

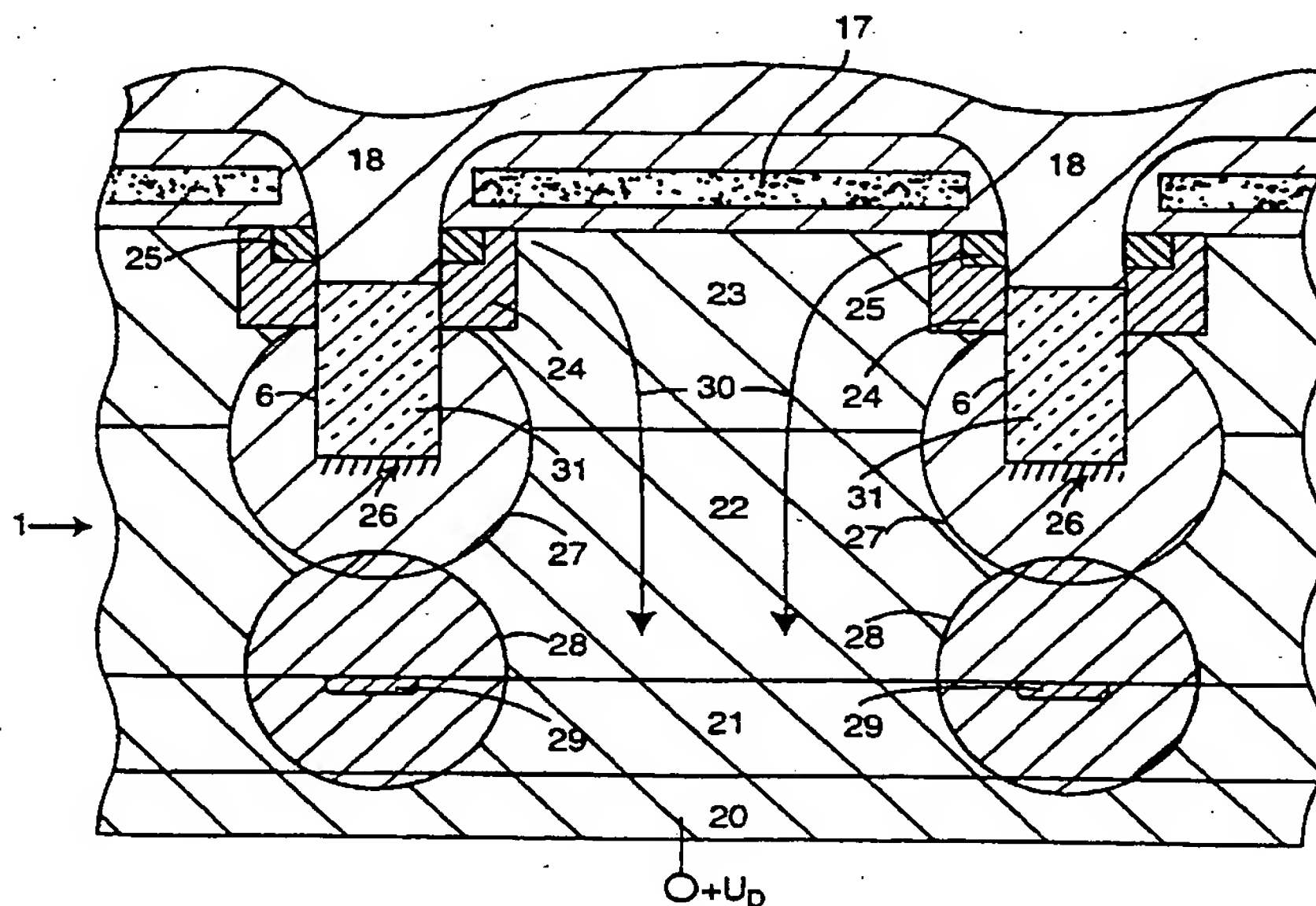
(81) Bestimmungsstaaten: JP, US, europäisches Patent (AT, BE, CH, CY, DE, DK, ES, FI, FR, GB, GR, IE, IT, LU, MC, NL, PT, SE).

Veröffentlicht

Ohne internationalen Recherchenbericht und erneut zu veröffentlichen nach Erhalt des Berichts.

(54) Title: LOW-RESISTANCE VDMOS SEMICONDUCTOR COMPONENT

(54) Bezeichnung: NIEDEROHMIGES VDMOS-HALBLEITERBAUELEMENT



(57) Abstract

The invention relates to a low-resistance VDMOS semiconductor component and especially a VDMOS transistor with a planar gate structure. A region (27) of the other conducting type is provided in the area of the bottom (26) pertaining to a trench (6). The region (27) surrounds said area. The trench (6) is at least partially filled with insulation material (31).

Rest Available Copy

(57) Zusammenfassung

Die Erfindung betrifft ein niederohmiges VDMOS-Halbleiterbauelement und insbesondere einen VDMOS-Transistor mit planarer Gatestruktur, bei dem im Bereich des Bodens (26) eines Grabens (6) ein diesen Bereich umgebendes Gebiet (27) des anderen Leitungstyps vorgesehen ist und der Graben (6) wenigstens teilweise mit Isoliermaterial (31) gefüllt ist.

LEDIGLICH ZUR INFORMATION

Codes zur Identifizierung von PCT-Vertragsstaaten auf den Kopfbögen der Schriften, die internationale Anmeldungen gemäss dem PCT veröffentlichen.

AL	Albanien	ES	Spanien	LS	Lesotho	SI	Slowenien
AM	Armenien	FI	Finnland	LT	Litauen	SK	Slowakei
AT	Österreich	FR	Frankreich	LU	Luxemburg	SN	Senegal
AU	Australien	GA	Gabun	LV	Lettland	SZ	Swasiland
AZ	Aserbaidshon	GB	Vereinigtes Königreich	MC	Monaco	TD	Tschad
BA	Bosnien-Herzegowina	GE	Georgien	MD	Republik Moldau	TG	Togo
BB	Barbados	GH	Ghana	MG	Madagaskar	TJ	Tadschikistan
BE	Belgien	GN	Guinea	MK	Die ehemalige jugoslawische Republik Mazedonien	TM	Turkmenistan
BF	Burkina Faso	GR	Griechenland	ML	Mali	TR	Türkei
BG	Bulgarien	HU	Ungarn	MN	Mongolei	TT	Trinidad und Tobago
BJ	Benin	IE	Irland	MR	Mauretanien	UA	Ukraine
BR	Brasilien	IL	Israel	MW	Malawi	UG	Uganda
BY	Belarus	IS	Island	MX	Mexiko	US	Vereinigte Staaten von Amerika
CA	Kanada	IT	Italien	NE	Niger	UZ	Usbekistan
CF	Zentralafrikanische Republik	JP	Japan	NL	Niederlande	VN	Vietnam
CG	Kongo	KE	Kenia	NO	Norwegen	YU	Jugoslawien
CH	Schweiz	KG	Kirgisistan	NZ	Neuseeland	ZW	Zimbabwe
CI	Côte d'Ivoire	KP	Demokratische Volksrepublik Korea	PL	Polen		
CM	Kamerun	KR	Republik Korea	PT	Portugal		
CN	China	KZ	Kasachstan	RO	Rumänien		
CU	Kuba	LC	St. Lucia	RU	Russische Föderation		
CZ	Tschechische Republik	LI	Liechtenstein	SD	Sudan		
DE	Deutschland	LK	Sri Lanka	SE	Schweden		
DK	Dänemark	LR	Liberia	SG	Singapur		
EE	Estland						

Beschreibung

Niederohmiges VDMOS-Halbleiterbauelement

5 Die vorliegende Erfindung betrifft ein niederohmiges VDMOS-Halbleiterbauelement mit planarer Gatestruktur, bei dem in einem Halbleiterkörper des einen Leitungstyps, der zwei ein-
10 ander im wesentlichen gegenüberliegende Hauptoberflächen aufweist, im Bereich der einen Hauptoberfläche eine hochdotierte erste Zone des einen Leitungstyps vorgesehen ist, die durch eine zweite Zone des anderen Leitungstyps von dem Halbleiterkörper getrennt ist, und bei dem die erste und die zweite Zone von einem bis zum Halbleiterkörper reichenden Graben durchsetzt sind. Bei einem solchen niederohmigen VDMOS-Halb-
15 leiterbauelement kann es sich insbesondere um einen VDMOS-Feldeffekttransistor und beispielsweise auch um einen IGBT (Bipolartransistor mit isoliertem Gate) handeln. Außerdem betrifft die vorliegende Erfindung ein Verfahren zum Herstellen eines solchen niederohmigen VDMOS-Halbleiterbauelements.

20

Ein herkömmlicher niederohmiger Trench- bzw. Graben-MOS-Feldeffekttransistor für Spannungen zwischen etwa 20 bis 100 V ist in Fig. 4 gezeigt (vgl. hierzu auch US 4 941 026). Dieser herkömmliche Trench-MOSFET weist einen Halbleiterkörper 1 mit
25 einer n⁺-dotierten Drainzone 2, einer n-dotierten Halbleiterzone 3, einer p-dotierten Halbleiterzone 4 und einer n⁺-dotierten Sourcezone 5 auf. Durch die Sourcezone 5, die Halbleiterzone 4 und die Halbleiterzone 3 erstreckt sich bis zu der Drainzone 2 ein ringförmiger Graben bzw. Trench 6, dessen
30 Wand mit einer Isolierschicht 7 aus beispielsweise Siliziumdioxid belegt ist und der mit n⁺-leitendem polykristallinem Silizium 8 gefüllt ist.

Auf dem Halbleiterkörper 1, der aus entsprechend dotiertem
35 Silizium besteht, befindet sich eine Metallisierung 9 aus beispielsweise Aluminium für eine geerdete Sourceelektrode S. Die Drainzone 2 ist mit einer Drainelektrode D verbunden, an

der eine Drainspannung $+U_D$ anliegt. Das polykristalline Silizium 8 im Graben 6 ist schließlich mit einer Gateelektrode G verbunden.

- 5 Ein derartiger herkömmlicher Trench-MOS-Feldeffekttransistor ist niederohmig und kann ohne weiteres für Spannungen zwischen etwa 20 bis 100 V eingesetzt werden. Er ist aber in seiner Herstellung - bedingt durch die tiefen Trench-Gates - relativ aufwendig.

10

Ein anderer herkömmlicher MOS-Feldeffekttransistor, beispielsweise der sogenannte "HEXFET", ist in Fig. 5 gezeigt. Dieser besteht aus einem Halbleiterkörper 1 mit einer n^+ -leitenden Drainzone 10, einer n^- -leitenden Halbleiterzone 11, 15 einer n -leitenden Halbleiterzone 12, einer p -leitenden ringförmigen Halbleiterzone 13, und n^+ -leitenden Halbleiterzonen 14. Der Halbleiterkörper 1 besteht mit seinen jeweiligen Zonen 10 bis 14 wie bei dem Beispiel von Fig. 4 aus entsprechend dotiertem Silizium.

20

Auf der Halbleiterzone 10 ist ein Drainkontakt 15 angebracht, an dem die Drainspannung $+U_D$ anliegt. Auf der dem Drainkontakt 15 gegenüberliegenden Seite des Halbleiterkörpers 1 ist in eine Gateoxidschicht 16 aus beispielsweise Siliziumdioxid 25 eine Gateelektrode 17 aus n^+ -dotiertem polykristallinem Silizium eingebettet. Außerdem befindet sich auf dieser Oberflächenseite noch eine Metallisierung 18 aus beispielsweise Aluminium zur Kontaktierung der Sourcezonen 14.

- 30 Ein MOSFET mit der in Fig. 5 gezeigten Struktur ist zwar einfacher herstellbar als der MOSFET von Fig. 4. Er ist aber flächenaufwendiger, da bei ihm kein Trench vorgesehen ist.

Es ist daher Aufgabe der vorliegenden Erfindung, ein niederohmiges VDMOS-Halbleiterbauelement zu schaffen, das auf einfache Weise herstellbar ist und wenig Fläche beansprucht; au-

Berdem soll ein Verfahren zum Herstellen eines solchen VDMOS-Halbleiterbauelementes angegeben werden.

5 Diese Aufgabe wird bei einem niederohmigen VDMOS-Halbleiterbauelement mit planarer Gatestruktur, bei dem in einem Halbleiterkörper des einen Leitungstyps, der zwei einander im wesentlichen gegenüberliegende Hauptoberflächen aufweist, im Bereich der einen Hauptoberfläche eine hochdotierte erste Zone des einen Leitungstyps vorgesehen ist, die durch eine
10 zweite Zone des anderen Leitungstyps von dem Halbleiterkörper getrennt ist, und bei dem die erste und die zweite Zone von einem bis zum Halbleiterkörper reichenden Graben durchsetzt sind, erfindungsgemäß dadurch gelöst, daß im Bereich des Bodens des Grabens ein diesen Bereich umgebendes Gebiet des anderen
15 Leitungstyps vorgesehen ist und der Graben wenigstens bis über einen dem Halbleiterkörper zugewandten Rand der zweiten Zone hinaus mit Isoliermaterial gefüllt ist.

Es ist vorteilhaft, daß das Gebiet des anderen Leitungstyps
20 bis zur zweiten Zone reicht und der Graben mit leitendem Material wenigstens bis zu dem der einen Hauptoberfläche zugewandten Rand der zweiten Zone mit leitendem Material gefüllt ist.

25 Außerdem ist zweckmäßig, daß im Halbleiterkörper unterhalb des Gebietes des anderen Leitungstyps wenigstens ein an dieses angrenzendes weiteres Gebiet des anderen Leitungstyps vorgesehen ist.

30 Wenn das Halbleiterbauelement ein IGBT ist, kann der Graben gegebenenfalls auch ganz mit Isoliermaterial gefüllt sein.

Für das Isoliermaterial kann Glas, wie beispielsweise "Flowglas" verwendet werden. Es ist auch vorteilhaft, daß im Halbleiterkörper eine obere Epitaxieschicht höher dotiert ist als
35 darunterliegende Epitaxieschichten.

- Ein Verfahren zum Herstellen eines Halbleiterbauelements der oben genannten Art zeichnet sich dadurch aus, daß das Gebiet des anderen Leitungstyps durch Ausdiffusion eines Dotierstoffes des anderen Leitungstyps aus dem Bereich des Bodens des Grabens vorgenommen wird. Wenn der eine Leitungstyp n-leitend ist, wird als Dotierstoff für den anderen Leitungstyp in bevorzugter Weise Bor vorgesehen. In diesem Fall wird also Bor aus dem Bereich des Bodens des Grabens ausdiffundiert.
- 10 Der Dotierstoff, also im vorliegenden Beispiel Bor, kann zuvor durch Ionenimplantation in den Bereich des Bodens des Grabens eingebracht werden.

- Das erfindungsgemäße Verfahren stellt so eine leichte Modifikation eines VDMOS-Prozesses mit einem selbstjustierenden Kontaktloch für den Graben dar: nachdem der Graben tief geätzt ist, wird auf dem Boden des Grabens Dotierstoff des anderen Leitungstyps, also beispielsweise Bor, implantiert und ausdiffundiert. Danach wird der Graben teilweise mit Isoliermaterial, insbesondere "Flowglas" aufgefüllt, wobei aber der pn-Übergang zwischen der ersten und der zweiten Zone im Graben frei bleibt. Das durch die Ausdiffusion des Dotierstoffes des anderen Leitungstyps geschaffene Gebiet erreicht die zweite Zone des anderen Leitungstyps, so daß insgesamt, wenn für die Ausdiffusion Bor verwendet wird, ein zusammenhängendes p-leitendes Gebiet im Bereich um den Boden des Grabens bis zu der ersten Zone des einen Leitungstyps entsteht. Gegebenenfalls können dabei noch weitere "vergrabene" Gebiete des anderen Leitungstyps, die unterhalb des Gebietes des anderen Leitungstyps liegen, vorgesehen sein. Solche weiteren Gebiete des anderen Leitungstyps können durch epitaktische Abscheidungen einzelner Halbleiterschichten und Implantation geschaffen werden.

- 35 Abschließend wird, nachdem die einzelnen Schritte zur Schaffung des Gebietes des anderen Leitungstyps ausgeführt sind, noch eine Metallisierung erstellt.

In vorteilhafter Weise ist im Halbleiterkörper eine obere Epitaxieschicht höher dotiert als darunterliegende Schichten. Das heißt, wenn das Gebiet des anderen Leitungstyps durch Ausdiffusion von Bor p-leitend ist, ist eine obere Epitaxieschicht, in welcher die erste Zone des einen Leitungstyps und die zweite Zone des anderen Leitungstyps liegen, n⁺-leitend. Die darunter vorgesehenen Epitaxieschichten sind dann n-leitend.

Insgesamt entsteht so ein niederohmiges VDMOS-Halbleiterbauelement, bei dem die Leitfähigkeit des Strompfades im n-leitenden Halbleiterkörper etwa verdoppelt ist, womit der Einschaltwiderstand auf die Hälfte reduziert werden kann. Für Anwendungen unterhalb etwa 100 V ist bereits ein weiteres Gebiet des anderen Leitungstyps unterhalb des Gebietes des anderen Leitungstyps ausreichend. Für höhere Spannungen können entsprechend mehr Gebiete des anderen Leitungstyps vorgesehen werden.

Bei dem erfindungsgemäßen VDMOS-Halbleiterbauelement handelt es sich in bevorzugter Weise um einen VDMOS-Feldeffekttransistor. Ebenso kann die Erfindung aber auch in vorteilhafter Weise für IGBT's angewandt werden.

Nachfolgend wird die Erfindung anhand der Zeichnungen näher erläutert. Es zeigen:

Fig. 1 und 2 Schnitte zur Erläuterung der Herstellung eines erfindungsgemäßen VDMOS-Feldeffekttransistors,

Fig. 3 einen Schnitt durch einen IGBT gemäß der Erfindung,

Fig. 4 einen Schnitt durch einen bestehenden Trench-Feldeffekttransistor und

Fig. 5 einen Schnitt durch einen anderen bestehenden Feldeffekttransistor.

- 5 Die Fig. 4 und 5 sind bereits eingangs erläutert worden. Für entsprechende Bauteile werden in den Figuren jeweils die gleichen Bezugszeichen verwendet.

Fig. 1 zeigt einen Halbleiterkörper 1 mit einer n^{++} -leitenden Drainzone bzw. einem Substrat 20, einer n -leitenden ersten Epitaxieschicht 21, einer n -leitenden zweiten Epitaxieschicht 22 und einer n^{+} -leitenden Epitaxieschicht 23. In die Epitaxieschicht 23 ist eine ringförmige p -leitende Halbleiterzone 24 eingebettet, in welcher sich wiederum eine n^{+} -leitende Sourcezone 25 befindet. Der Halbleiterkörper 1 und damit die Zonen bzw. Schichten 20 bis 25 bestehen aus entsprechend dotiertem Silizium.

Durch die Zonen 24 und 25 wird ein Graben 6 eingebracht, der sich etwa bis zu der Epitaxieschicht 22 erstreckt. Durch Ionenimplantation wird in den Boden 26 des Grabens 6 Dotierstoff des anderen Leitungstyps, also beispielsweise Bor, wenn der eine Leitungstyps n -leitend ist, implantiert und ausdiffundiert, so daß ein p -leitendes Gebiet 27 entsteht. Dieses p -leitende Gebiet 27 reicht bis zur Zone 24.

Nach Fertigstellung von Gateelektroden 17 in einer Gateisolierschicht 16 aus Siliziumdioxid wird eine Metallisierung 18 (vgl. Fig. 2) aus beispielsweise Aluminium zur Kontaktierung der Zonen 25, 24 angebracht.

Gegebenenfalls können unterhalb des Gebietes 27 noch weitere Gebiete 28 des anderen Leitungstyps, also im vorliegenden Beispiel p -leitende Gebiete, vorhanden sein. Diese Gebiete werden durch Implantation von Bor in Bereiche 29 der Epitaxieschicht 21 und Ausdiffusion des Bors nach Auftragen der nächsten Epitaxieschicht 22 erstellt.

Damit wird insgesamt ein VDMOS-Feldeffekttransistor mit der in Fig. 2 gezeigten Struktur erhalten, in welcher auch Pfeile 30 angegeben sind, die den Verlauf des Strompfades zwischen Source und Drain veranschaulichen.

Fig. 3 zeigt als weiteres Ausführungsbeispiel der Erfindung einen IGBT, wobei hier der Graben 6 vollständig mit Isolierstoff 31 aus beispielsweise Siliziumdioxid gefüllt ist. Bei dem VDMOS-Feldeffekttransistor der Fig. 1 und 2 reicht dieser Isolierstoff 31 nur bis zu einer solchen Höhe im Graben 6, daß der pn-Übergang zwischen der ersten Zone 25 und der zweiten Zone 24 von Isoliermaterial frei ist.

Fig. 3 zeigt noch einen Drainkontakt 32 der die hier p^+ -leitende Epitaxieschicht 20 kontaktiert, auf der gegebenenfalls eine n^+ -leitende Epitaxieschicht 21 und eine n^- -leitende Epitaxieschicht 22 vorgesehen sein können.

Patentansprüche

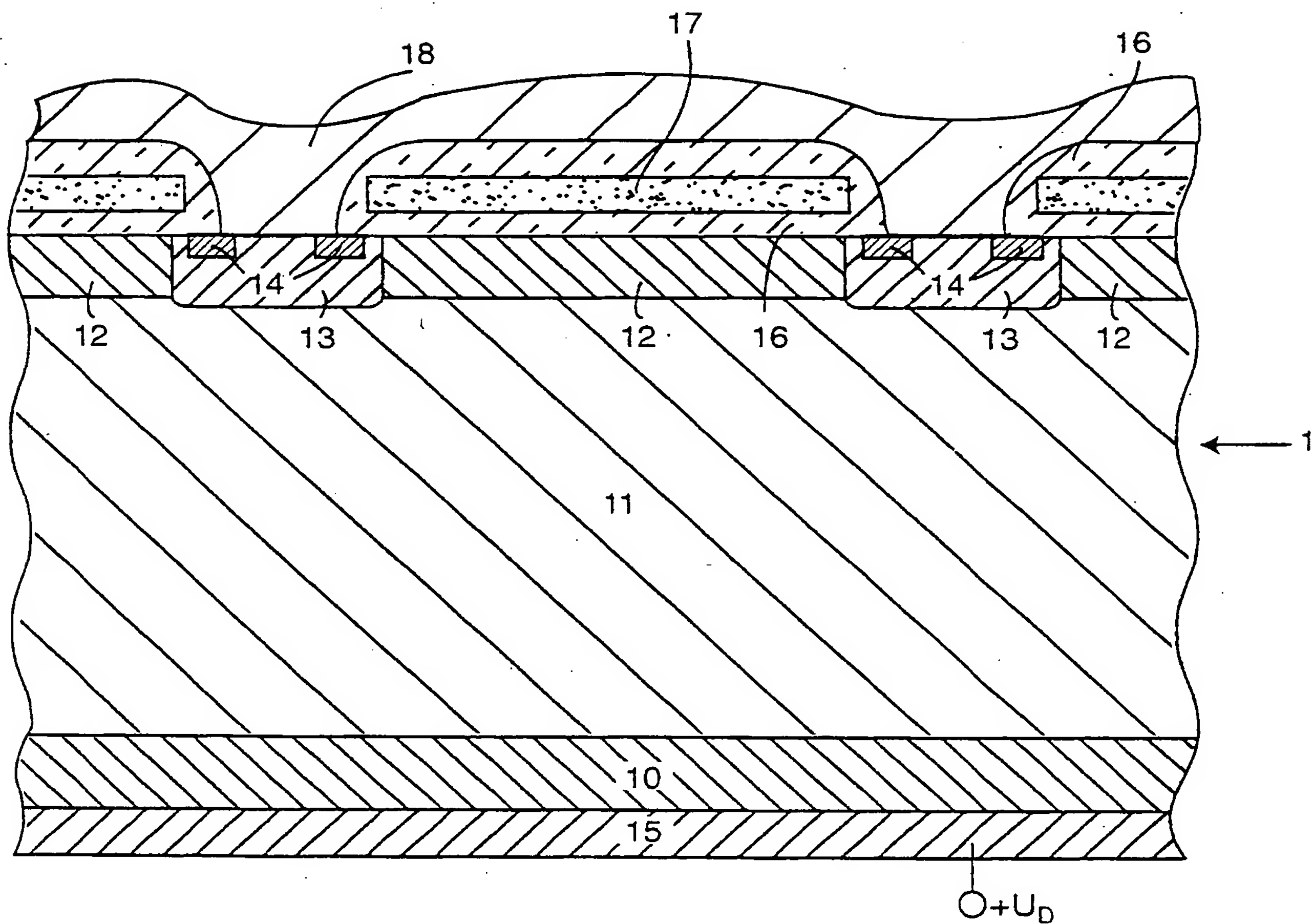
1. Niederohmiges VDMOS-Halbleiterbauelement mit planarer Gatestruktur, bei dem in einem Halbleiterkörper (1) des einen Leitungstyps, der zwei einander im wesentlichen gegenüberliegende Hauptoberflächen aufweist, im Bereich der einen Hauptoberfläche eine hochdotierte erste Zone (25) des einen Leitungstyps vorgesehen ist, die durch eine zweite Zone (24) des anderen Leitungstyps von dem Halbleiterkörper getrennt ist, und bei dem die erste und die zweite Zone (25, 24) von einem bis zum Halbleiterkörper reichenden Graben (6) durchsetzt sind,
dadurch gekennzeichnet, daß
- im Bereich des Bodens (26) des Grabens (6) ein diesen Bereich umgebendes Gebiet (27) des anderen Leitungstyps vorgesehen ist, und
- der Graben (6) wenigstens bis über einen dem Halbleiterkörper (1) zugewandten Rand der zweiten Zone (24) hinaus mit Isoliermaterial (31) gefüllt ist.
2. Niederohmiges VDMOS-Halbleiterbauelement nach Anspruch 1, dadurch gekennzeichnet, daß das Gebiet (27) des anderen Leitungstyps bis zur zweiten Zone (24) reicht und der Graben (6) mit leitendem Material (18) wenigstens bis zu dem der einen Hauptoberfläche zugewandten Rand der zweiten Zone (24) gefüllt ist.
3. Niederohmiges VDMOS-Halbleiterbauelement nach Anspruch 1 oder 2, dadurch gekennzeichnet, daß im Halbleiterkörper (1) unterhalb des Gebietes (27) des anderen Leitungstyps wenigstens ein an dieses angrenzendes weiteres Gebiet (28) des anderen Leitungstyps vorgesehen ist.

4. Niederohmiges VDMOS-Halbleiterbauelement nach Anspruch 1,
dadurch gekennzeichnet, daß
der Graben (6) mit Isoliermaterial (31) gefüllt ist.
5. Niederohmiges VDMOS-Halbleiterbauelement nach einem der
Ansprüche 1 bis 4,
dadurch gekennzeichnet, daß
das Isoliermaterial Glas ist.
- 10 6. Niederohmiges VDMOS-Halbleiterbauelement nach einem der
Ansprüche 1 bis 5,
dadurch gekennzeichnet, daß
eine an die eine Hauptoberfläche angrenzende Epitaxie-
schicht (23) des Halbleiterkörpers höher dotiert ist als
15 darunterliegende Epitaxieschichten (21, 22).
7. Niederohmiges VDMOS-Halbleiterbauelement nach einem der
Ansprüche 1 bis 6,
dadurch gekennzeichnet, daß
20 das Gebiet des anderen Leitungstyps mit Bor dotiert ist.
8. Verfahren zum Herstellen eines niederohmigen VDMOS-Halb-
leiterbauelements nach einem der Ansprüche 1 bis 7,
dadurch gekennzeichnet, daß
25 das Gebiet des anderen Leitungstyps (27) durch Ausdiffu-
sion eines Dotierstoffes des anderen Leitungstyps aus dem
Bereich des Bodens (26) des Grabens (6) hergestellt wird.
9. Verfahren nach Anspruch 8,
30 dadurch gekennzeichnet, daß
Bor aus dem Bereich des Bodens (26) des Grabens (6) aus-
diffundiert wird.
10. Verfahren nach Anspruch 8 oder 9,
35 dadurch gekennzeichnet, daß
der Dotierstoff des anderen Leitungstyps durch Ionenim-

10

plantation in den Bereich des Bodens (26) des Grabens (6)
eingebracht wird.

Fig. 5



THIS PAGE BLANK (USPTO)

(12) NACH DEM VERTRAG ÜBER DIE INTERNATIONALE ZUSAMMENARBEIT AUF DEM GEBIET DES
PATENTWESENS (PCT) VERÖFFENTLICHTE INTERNATIONALE ANMELDUNG

(19) Weltorganisation für geistiges Eigentum
Internationales Büro



(43) Internationales Veröffentlichungsdatum
23. November 2000 (23.11.2000)

PCT

(10) Internationale Veröffentlichungsnummer
WO 00/70654 A3

(51) Internationale Patentklassifikation⁷: **H01L 29/78**,
29/739, 29/06, 21/336, 21/331

(21) Internationales Aktenzeichen: PCT/DE00/01155

(22) Internationales Anmeldedatum:
13. April 2000 (13.04.2000)

(25) Einreichungssprache: Deutsch

(26) Veröffentlichungssprache: Deutsch

(30) Angaben zur Priorität:
199 22 187.1 12. Mai 1999 (12.05.1999) DE

(71) Anmelder (für alle Bestimmungsstaaten mit Ausnahme von
US): INFINEON TECHNOLOGIES AG [DE/DE]; St.-
Martin-Strasse 53, D-81541 München (DE).

(72) Erfinder; und

(75) Erfinder/Anmelder (nur für US): TIHANYI, Je-
noe [DE/DE]; Isarweg 13, D-85551 Kirchheim (DE).
WERNER, Wolfgang [DE/DE]; Säbenerstrasse 256,
D-81545 München (DE).

(74) Anwalt: MÜLLER & HOFFMANN; Innere Wiener Str.
17, 81667 München (DE).

(81) Bestimmungsstaaten (national): JP, US.

(84) Bestimmungsstaaten (regional): europäisches Patent (AT,
BE, CH, CY, DE, DK, ES, FI, FR, GB, GR, IE, IT, LU, MC,
NL, PT, SE).

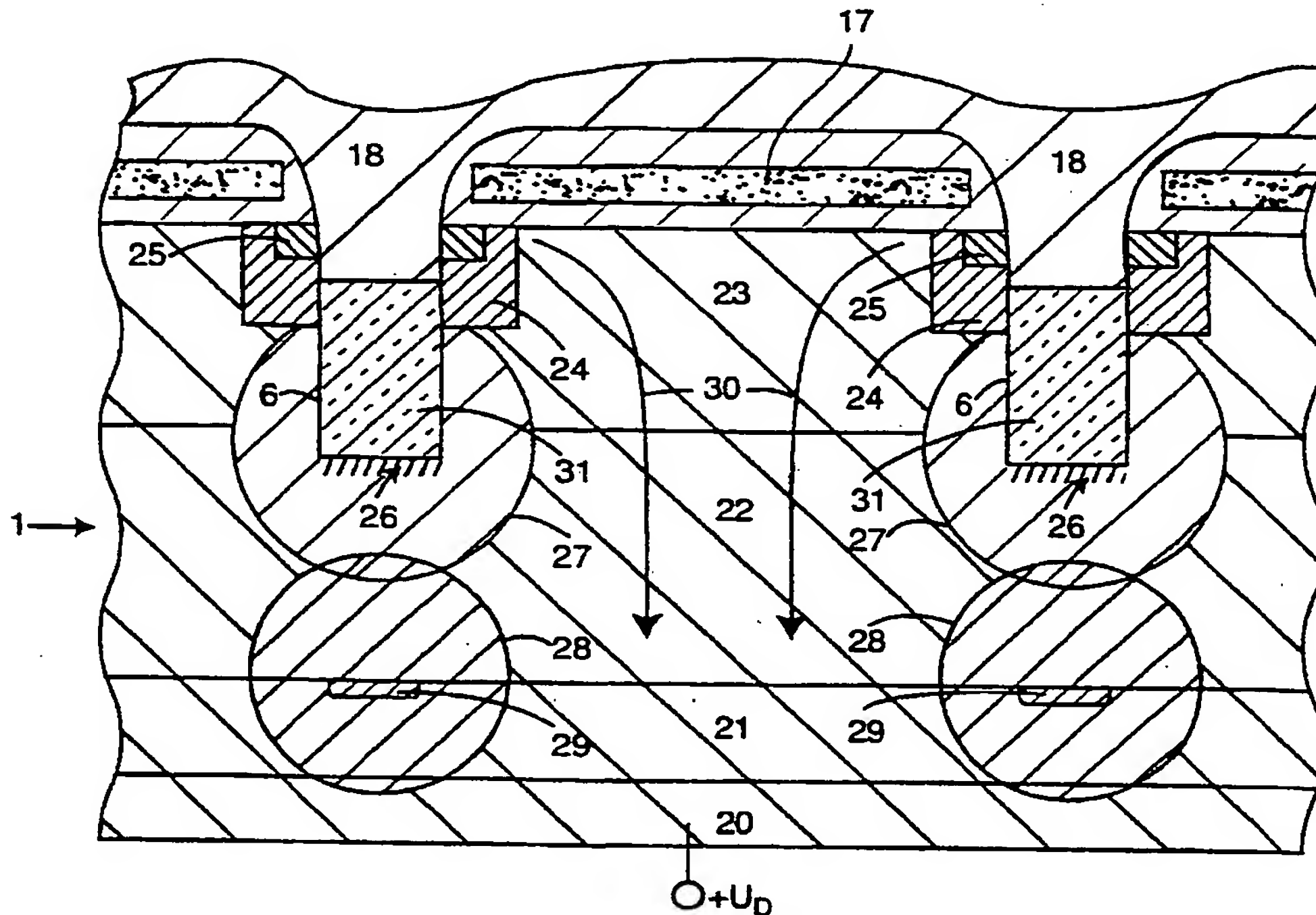
Veröffentlicht:

— mit internationalem Recherchenbericht

[Fortsetzung auf der nächsten Seite]

(54) Title: LOW-RESISTANCE VDMOS SEMICONDUCTOR COMPONENT

(54) Bezeichnung: NIEDEROHMIGES VDMOS-HALBLEITERBAUELEMENT



(57) Abstract: The invention relates to a low-resistance VDMOS semiconductor component and especially a VDMOS transistor or a vertical IGBT with a planar gate structure. A region (27) of the other conducting type is provided in the area of the bottom (26) pertaining to a trench (6). The region (27) surrounds said area. The trench (6) is at least partially filled with insulation material (31).

[Fortsetzung auf der nächsten Seite]

WO 00/70654 A3



(88) Veröffentlichungsdatum des internationalen
Recherchenberichts:

19. Juli 2001

*Zur Erklärung der Zweibuchstaben-Codes, und der anderen
Abkürzungen wird auf die Erklärungen ("Guidance Notes on
Codes and Abbreviations") am Anfang jeder regulären Ausgabe
der PCT-Gazette verwiesen.*

(57) Zusammenfassung: Die Erfindung betrifft ein niederohmiges VDMOS-Halbleiterbauelement und insbesondere einen VD-MOS-Transistor oder einen vertikalen IGBT mit planarer Gatestruktur, bei dem im Bereich des Bodens (26) eines Grabens (6) ein diesen Bereich umgebendes Gebiet (27) des anderen Leitungstyps vorgesehen ist und der Graben (6) wenigstens teilweise mit Isoliermaterial (31) gefüllt ist.

INTERNATIONAL SEARCH REPORT

International Application No

PCT/DE 00/01155

A. CLASSIFICATION OF SUBJECT MATTER IPC 7 H01L29/78 H01L29/739 H01L29/06 H01L21/336 H01L21/331		
According to International Patent Classification (IPC) or to both national classification and IPC		
B. FIELDS SEARCHED Minimum documentation searched (classification system followed by classification symbols) IPC 7 H01L		
Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched		
Electronic data base consulted during the international search (name of data base and, where practical, search terms used) EPO-Internal, INSPEC, IBM-TDB, WPI Data, PAJ		
C. DOCUMENTS CONSIDERED TO BE RELEVANT		
Category *	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 08 222735 A (FUJI ELECTRIC CO LTD) 30 August 1996 (1996-08-30) figure 6	1,2,5, 7-10
P, A	-& US 5 981 996 A (FUJISHIMA N) 9 November 1999 (1999-11-09) column 14, line 20 - line 55; figure 6 ---	1,2,5, 7-10
A	DE 195 34 154 A (SIEMENS AG) 20 March 1997 (1997-03-20) column 3, line 12 - line 25; figure 2 --- -/--	1,2,6-10
<input checked="" type="checkbox"/> Further documents are listed in the continuation of box C. <input checked="" type="checkbox"/> Patent family members are listed in annex.		
* Special categories of cited documents : *A* document defining the general state of the art which is not considered to be of particular relevance *E* earlier document but published on or after the international filing date *L* document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified) *O* document referring to an oral disclosure, use, exhibition or other means *P* document published prior to the international filing date but later than the priority date claimed *T* later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention *X* document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone *Y* document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art. *Z* document member of the same patent family		
Date of the actual completion of the international search		Date of mailing of the international search report
13 February 2001		20/02/2001
Name and mailing address of the ISA European Patent Office, P.B. 5818 Patentlaan 2 NL - 2280 HV Rijswijk Tel. (+31-70) 340-2040, Tx. 31 651 epo nl, Fax: (+31-70) 340-3016		Authorized officer
		Morvan, D

Best Available Copy

Best Available Copy

INTERNATIONAL SEARCH REPORT

Inte onal Application No
PCT/DE 00/01155

C.(Continuation) DOCUMENTS CONSIDERED TO BE RELEVANT		
Category °	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	DEBOY G ET AL: "NEW GENERATION OF HIGH VOLTAGE MOSFETS BREAKS THE LIMIT LINE OF SILICON" INTERNATIONAL ELECTRON DEVICES MEETING, TECHNICAL DIGEST, SAN FRANCISCO, CA, 6 - 9 December 1998, pages 683-685, XP000859463 IEEE, NEW YORK, NY, USA ISBN: 0-7803-4775-7 Absatz "Technology"; Abbildung 2 -----	1-3,7

1000 910011VA 1291

INTERNATIONAL SEARCH REPORT

information on patent family members

Inte onal Application No

PCT/DE 00/01155

Patent document cited in search report	Publication date	Patent family member(s)	Publication date
JP 08222735 A	30-08-1996	US 5981996 A	09-11-1999
DE 19534154 A	20-03-1997	NONE	

Fast Available Copy

INTERNATIONALER RECHERCHENBERICHT

Internationales Aktenzeichen

PCT/DE 00/01155

A. KLASSIFIZIERUNG DES ANMELDUNGSGEGENSTANDES

IPK 7 H01L29/78 H01L29/739 H01L29/06 H01L21/336 H01L21/331

Nach der Internationalen Patentklassifikation (IPK) oder nach der nationalen Klassifikation und der IPK

B. RECHERCHIERTE GEBIETE

Recherchierter Mindestprüfstoff (Klassifikationssystem und Klassifikationssymbole)

IPK 7 H01L

Recherchierte aber nicht zum Mindestprüfstoff gehörende Veröffentlichungen, soweit diese unter die recherchierten Gebiete fallen

Während der internationalen Recherche konsultierte elektronische Datenbank (Name der Datenbank und evtl. verwendete Suchbegriffe)

EPO-Internal, INSPEC, IBM-TDB, WPI Data, PAJ

C. ALS WESENTLICH ANGESEHENE UNTERLAGEN

Kategorie*	Bezeichnung der Veröffentlichung, soweit erforderlich unter Angabe der in Betracht kommenden Teile	Betr. Anspruch Nr.
A	JP 08 222735 A (FUJI ELECTRIC CO LTD) 30. August 1996 (1996-08-30) Abbildung 6	1,2,5, 7-10
P,A	-& US 5 981 996 A (FUJISHIMA N) 9. November 1999 (1999-11-09) Spalte 14, Zeile 20 - Zeile 55; Abbildung 6	1,2,5, 7-10
A	DE 195 34 154 A (SIEMENS AG) 20. März 1997 (1997-03-20) Spalte 3, Zeile 12 - Zeile 25; Abbildung 2 --- -/--	1,2,6-10



Weitere Veröffentlichungen sind der Fortsetzung von Feld C zu entnehmen



Siehe Anhang Patentfamilie

* Besondere Kategorien von angegebenen Veröffentlichungen :

A Veröffentlichung, die den allgemeinen Stand der Technik definiert, aber nicht als besonders bedeutsam anzusehen ist

E älteres Dokument, das jedoch erst am oder nach dem internationalen Anmeldedatum veröffentlicht worden ist

L Veröffentlichung, die geeignet ist, einen Prioritätsanspruch zweifelhaft erscheinen zu lassen, oder durch die das Veröffentlichungsdatum einer anderen im Recherchenbericht genannten Veröffentlichung belegt werden soll oder die aus einem anderen besonderen Grund angegeben ist (wie ausgeführt)

O Veröffentlichung, die sich auf eine mündliche Offenbarung, eine Benutzung, eine Ausstellung oder andere Maßnahmen bezieht

P Veröffentlichung, die vor dem internationalen Anmeldedatum, aber nach dem beanspruchten Prioritätsdatum veröffentlicht worden ist

T Spätere Veröffentlichung, die nach dem internationalen Anmeldedatum oder dem Prioritätsdatum veröffentlicht worden ist und mit der Anmeldung nicht kollidiert, sondern nur zum Verständnis des der Erfindung zugrundeliegenden Prinzips oder der ihr zugrundeliegenden Theorie angegeben ist

X Veröffentlichung von besonderer Bedeutung; die beanspruchte Erfindung kann allein aufgrund dieser Veröffentlichung nicht als neu oder auf erfinderischer Tätigkeit beruhend betrachtet werden

Y Veröffentlichung von besonderer Bedeutung; die beanspruchte Erfindung kann nicht als auf erfinderischer Tätigkeit beruhend betrachtet werden, wenn die Veröffentlichung mit einer oder mehreren anderen Veröffentlichungen dieser Kategorie in Verbindung gebracht wird und diese Verbindung für einen Fachmann naheliegend ist

G Veröffentlichung, die Mitglied derselben Patentfamilie ist

Datum des Abschlusses der internationalen Recherche

13. Februar 2001

Absenddatum des internationalen Recherchenberichts

20/02/2001

Name und Postanschrift der Internationalen Recherchenbehörde
Europäisches Patentamt, P.B. 5818 Patentlaan 2
NL - 2280 HV Rijswijk
Tel. (+31-70) 340-2040, Tx. 31 651 epo nl,
Fax: (+31-70) 340-3016

Bevollmächtigter Bediensteter

Morvan, D

INTERNATIONALER RECHERCHENBERICHT

Internationales Aktenzeichen
PCT/DE 00/01155

C.(Fortsetzung) ALS WESENTLICH ANGESEHENE UNTERLAGEN		
Kategorie°	Bezeichnung der Veröffentlichung, soweit erforderlich unter Angabe der in Betracht kommenden Teile	Betr. Anspruch Nr.
A	<p>DEBOY G ET AL: "NEW GENERATION OF HIGH VOLTAGE MOSFETS BREAKS THE LIMIT LINE OF SILICON"</p> <p>INTERNATIONAL ELECTRON DEVICES MEETING, TECHNICAL DIGEST, SAN FRANCISCO, CA, 6. - 9. Dezember 1998, Seiten 683-685, XP000859463</p> <p>IEEE, NEW YORK, NY, USA</p> <p>ISBN: 0-7803-4775-7</p> <p>Absatz "Technology"; Abbildung 2</p> <p>-----</p>	1-3,7

Best Available Copy

INTERNATIONALER RECHERCHENBERICHT

Angaben zu Veröffentlichungen, die zur selben Patentfamilie gehören

Internationales Aktenzeichen

PCT/DE 00/01155

Im Recherchenbericht angeführtes Patentdokument	Datum der Veröffentlichung	Mitglied(er) der Patentfamilie	Datum der Veröffentlichung
JP 08222735 A	30-08-1996	US 5981996 A	09-11-1999
DE 19534154 A	20-03-1997	KEINE	